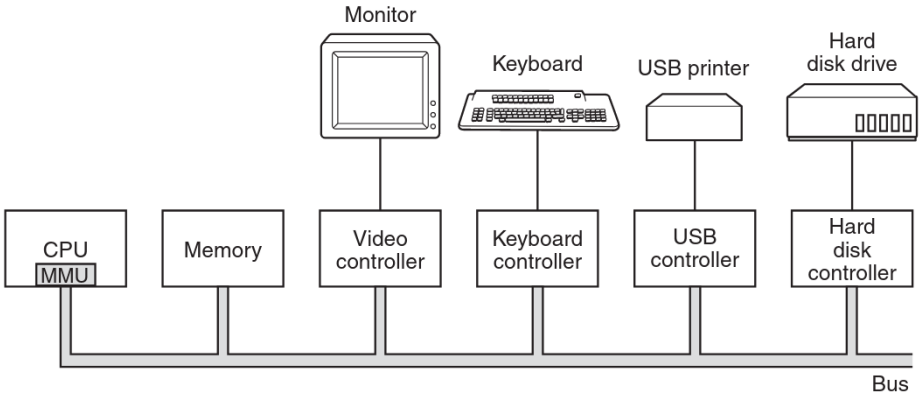
Architektura komputerów



- procesor
- pamięć
- sterowniki urządzeń (kontrolery) wejścia-wyjścia, do których podłączone są urządzenia peryferyjne
- szyna (magistrala) systemowa łączące te elementy

Procesor

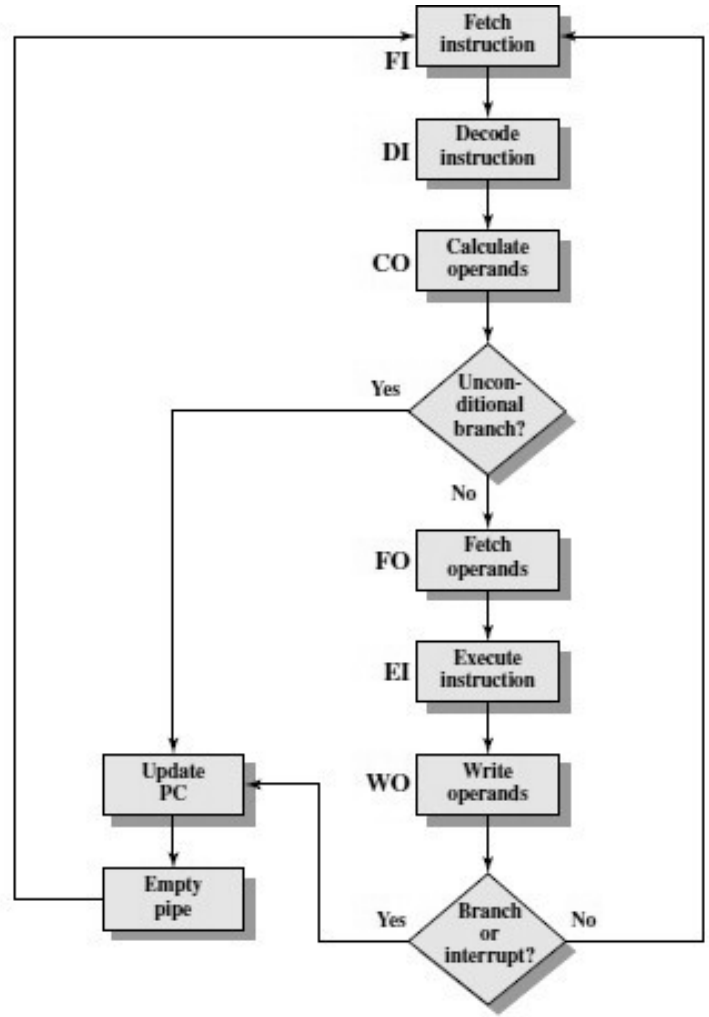
- rejestry
  - rejestry ogólnego zastosowania (x86: EAX, EBX, ECX, EDX)
  - licznik programu (*program counter*) - zawiera adres następnej instrukcji (x86: EIP)
  - wskaźnik stosu (*stack pointer*) wskazuje najwyższy element stosu wywołań w pamięci (x86: ESP)
- słowo statusu programu (PSW *program status word*)
  - wyniki instrukcji warunkowych, flagi, bity kontrolne, stan systemu
  - tryb ochrony (tryb jądra, użytkownika)
- potok instrukcji - pobranie, zdekodowanie, wykonanie instrukcji

System operacyjny musi znać stan wszystkich rejestrów. Podczas przełączania zadań zapisuje stan rejestrów, żeby móc je później przywrócić przy wznowieniu programu.

Architektura współczesnego procesora

- **przetwarzanie potokowe** - podział rozkazu na wyspecjalizowane etapy
- **superskalarność** - zrównoleglenie wykonania rozkazów w obrębie jednego procesora poprzez zwielokrotnienie skalarnych jednostek wykonawczych
- analiza przepływu danych, przewidywanie rozgałęzienia, spekulatywne wykonywanie - badanie zależności między rozkazami i wykonywanie ich poza kolejnością, aby zmniejszyć opóźnienia
- **hiperwątkowość** (*hyper-threading*) - wiele wątków w jednym procesorze
- **instrukcje SIMD** (*Single Instruction Multiple Data*) - jedna instrukcja operuje na wielu danych jednocześnie (np. multimedia, obliczenia naukowe), MMX (*MultiMedia Extensions*), SSE (*Streaming SIMD Extensions*), AMD 3DNow (*3D NO Waiting*)
- **wielordzeniowość** - wiele jednostek wykonawczych (rdzeni) w jednym procesorze
- wsparcie sprzętowe **wirtualizacji**: Intel VT (vmx), AMD V (svm)
- **CISC** i **RISC** - złożone i zredukowane zestawy rozkazów

Przetwarzanie rozkazów



FI: pobierz następną instrukcję do bufora

DI: dekodowanie instrukcji, określ kod operacji i specyfikację argumentów

CO: oblicz efektywny adres danych źródłowych

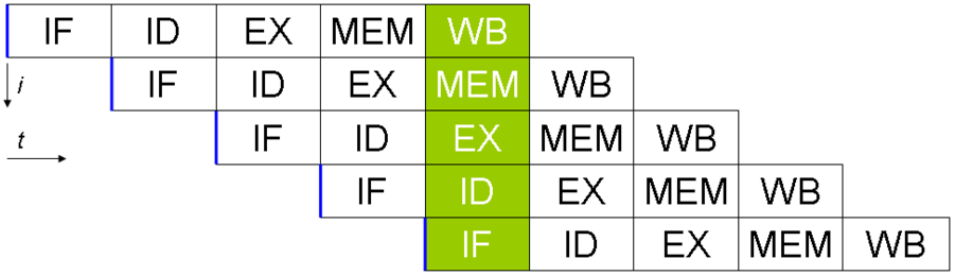
FO: pobierz dane z pamięci jeżeli nie ma ich w rejestrach

EI: wykonaj instrukcję

WO: zapisz wynik w pamięci

Rozgałęzienie lub przerwanie powoduje opróżnienie potoku i ponowne załadowanie odpowiednich instrukcji.

Przetwarzanie potokowe



Klasyczny potok RISC:

IF=Instruction Fetch

ID=Instruction Decode

EX=Execute

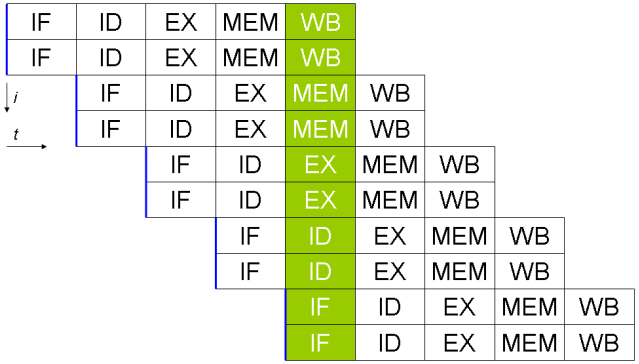
MEM=Memory access

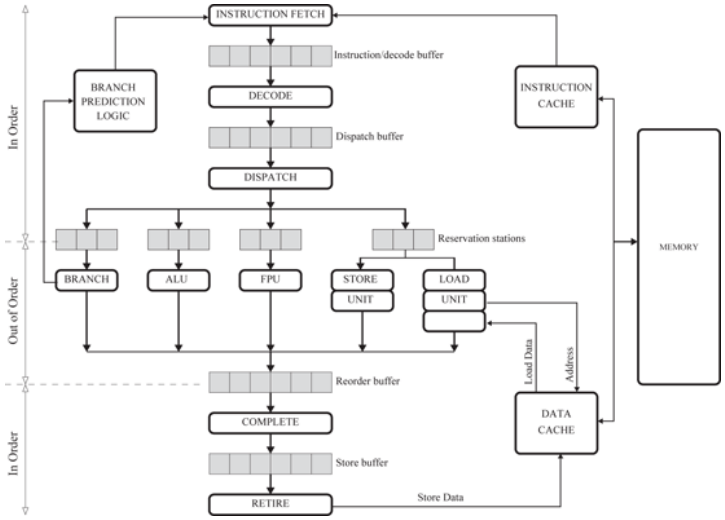
WB=Register write back

- podział rozkazu na wyspecjalizowane etapy
- dzięki podziałowi, różne instrukcje mogą być wykonywane równocześnie
- lepsza wydajność: zwiększenie liczby instrukcji wykonywanych w jednostce czasu
- problem z rozgałęzieniami (instrukcja skoku) i konflikty w dostępie do wspólnych zasobów

https://en.wikipedia.org/wiki/Instruction_pipelining

Superskalarność





- zrównoleglenie wykonania rozkazów w obrębie jednego procesora poprzez zwielokrotnienie jednostek wykonawczych
- procesor wykrywa instrukcje niezależne od siebie; zależne muszą poczekać w na potrzebny wynik
- wykonanie poza kolejnością (*out-of-order*) - kolejność wykonania rozkazow jest inna niż w programie w celu maksymalizacji wykorzystania CPU

http://en.wikipedia.org/wiki/Superscalar,
https://anubhavbhatla.github.io/projects/superscalar/

Ryzyka przetwarzania potokowego

Zatory w potoku poleceń pojawiają się, gdy skok warunkowy nie pozwala na sekwencyjne wykonanie instrukcji.

Możliwe ryzyka wykonania kodu poza kolejnością:

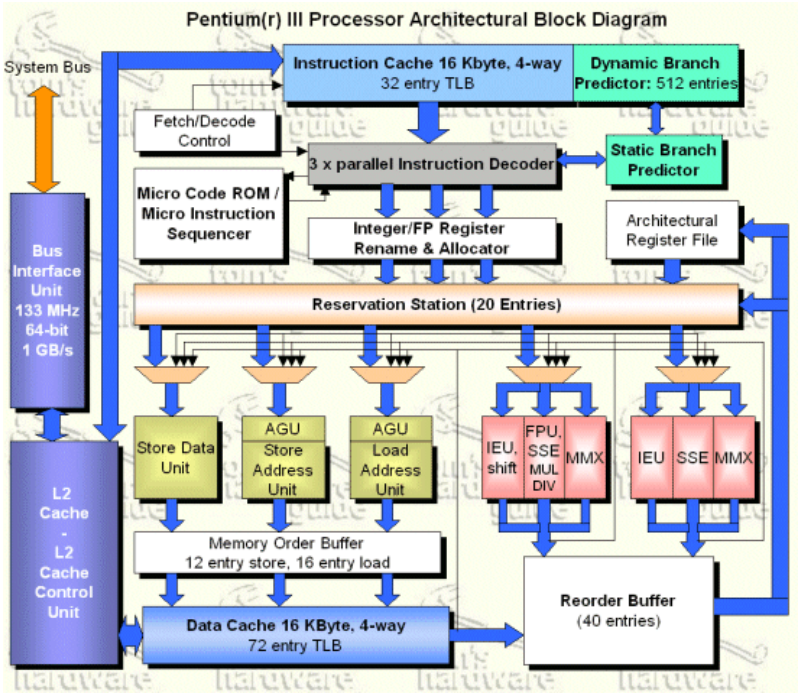
- **strukturalne** - gdy instrukcje równocześnie potrzebują tych samych zasobów (np. pamięci)
- **danych** - gdy instrukcje potrzebuje wyniku innej instrukcji, który nie jest jeszcze dostępny
- **sterowania** - wykonanie instrukcji po rozwidleniu, ale przed wykonaniem instrukcji warunkowej. Instrukcje z błędnej ścieżki muszą zostać odrzucone z potoku.

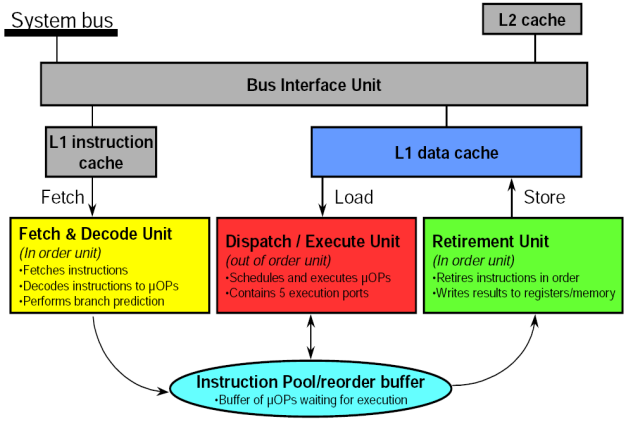
Ryzyka przetwarzania potokowego

Jak radzić sobie z konfliktami?

- wykonywanie instrukcji obu ścieżek jednocześnie
- przewidywanie rozgałęzień (np. na podstawie statystyki poprzednich wykonań). Kod jest wykonywany spekulatywnie. W przypadku błędnej predykcji wynik tego wykonania jest odrzucany
- *branch-free-code* technika programowania polegająca na ograniczaniu rozgałęzień w kodzie w celu zmniejszenia ryzyka wystąpienia zatorów w potoku
- bufor pętli - mała, bardzo szybka pamięć podręczna dla etapu pobierania (FI), jeśli wystąpi rozgałęzienie, sprzęt najpierw sprawdza, czy cel rozgałęzienia znajduje się w buforze pętli
- opóźnianie rozgałęzień - zmiana kolejności instrukcji tak aby instrukcje warunkowe można było wykonać jak najpóźniej

Architektura procesorów Pentium II i Pentium III





Zmodyfikowana architektura harwardzka architektura mieszana, łączy w cechy architektury harwardzkiej i architektury von Neumanna. Oddzielone obszary pamięci na dane i rozkazy.

dynopt.dtc.umn.edu/documents/IA-OPTIMIZATION-Ref-Manual.pdf

Pamięć: rodzaje, własności

- szybki rozwój pojemności pamięci i szybkości procesorów
- wolniejszy przyrost szybkości przesyłania danych pomiędzy procesorem i pamięcią

Interfejs pomiędzy pamięcią główną a procesorem jest najbardziej krytycznym elementem całego komputera, ponieważ jest on odpowiedzialny za przepływ rozkazów i danych pomiędzy tymi układami.

Jeśli dostęp do pamięci jest niewystarczający, to cykle procesora są marnowane (**głodzenie procesora**).

Wymagania dotyczące pamięci: niska cena, duża pojemność, szybkość działania (porównywalna z szybkością CPU)

Hierarchia pamięci:

- rejestry (SRAM)
- pamięć podręczna, cache (SRAM)
- pamięć główna (MCDRAM, DRAM, NVRAM, NVDIMM)
- pamięć dyskowa (HDD, SSD)
- pamięć taśmowa, dyski optyczne

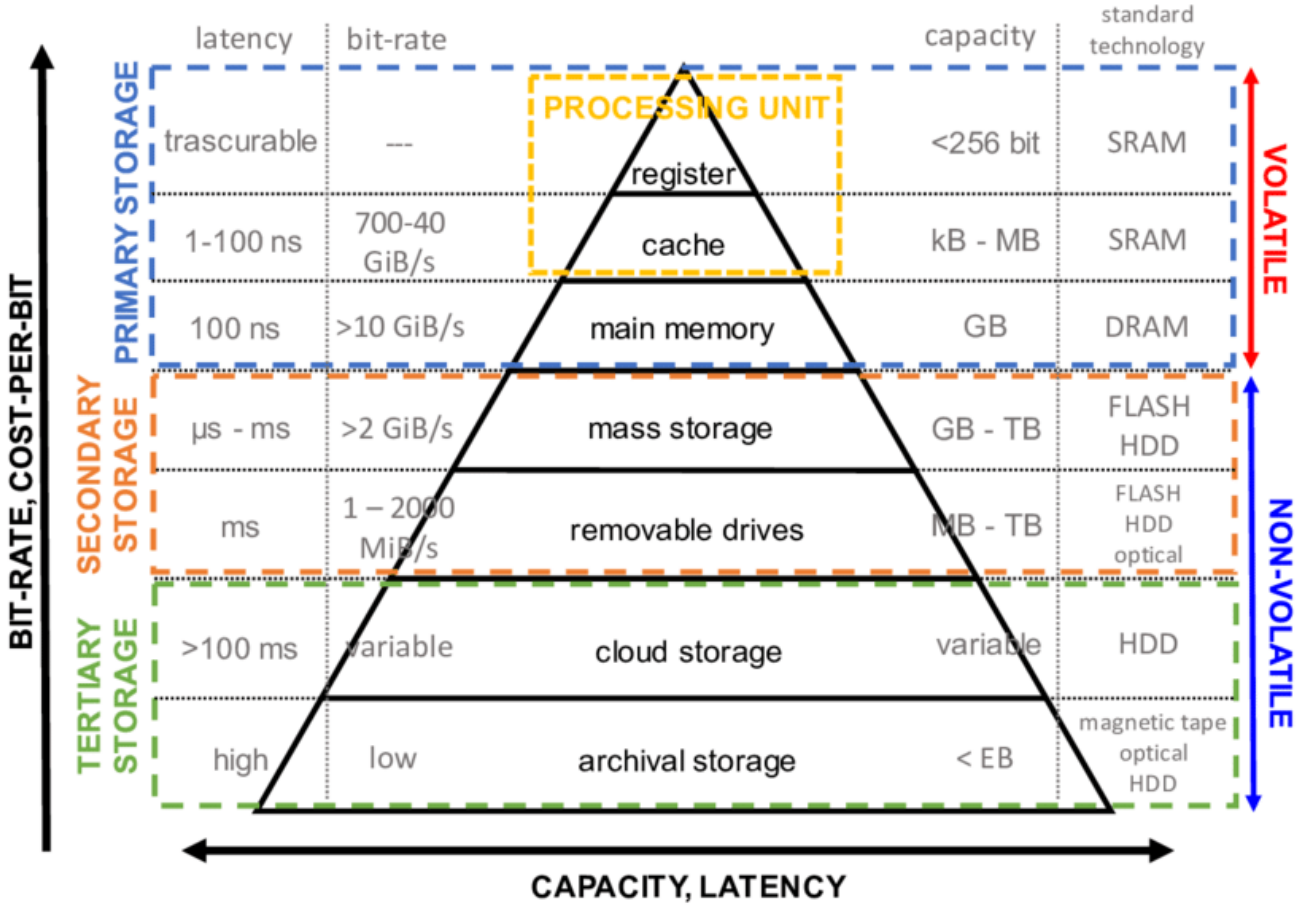
Koszt trafienia/chybienia (w cyklach) dla procesora Pentium M:

rejestr	$\leqslant 1$
L1d	≈ 3
L2	≈ 14
pamięć główna	≈ 240

Zob.: Interactive latency

```
$ curl cheat.sh/latencies
```

Hierarchia pamięci



E. Gemo, *The design and analysis of novel integrated phase-change photonic memory and computing devices*, 2021

Hierarchia pamięci

Im niżej w hierarchi od CPU

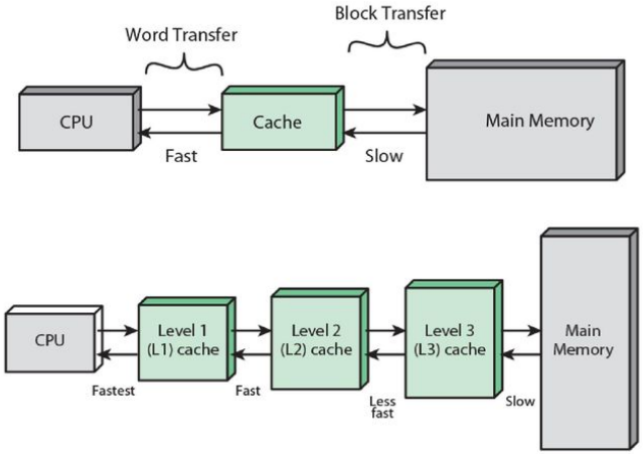
- malejąca cena/bit
- rosnąca pojemność
- rosnący czas dostępu
- malejąca częstość dostępu przez procesor

Rodzaj dostępu do pamięci:

- dostęp sekwencyjny
  - odczyt/zapis wyłącznie w określonej sekwencji liniowej (np. pamięć taśmowa)
  - czas dostępu zależy od położenia danych
- dostęp swobodny
  - pozycja w pamięci dostępna za pomocą unikatowego adresu (pamięć RAM)
  - czas dostępu jest stały i nie zależy od lokalizacji danych
- dostęp bezpośredni
  - pamięć podzielona na bloki (lub rekordy) o unikatowych adresach (np. pamięć dyskowa)
  - najpierw następuje dostęp (swobodny) do najbliższego otoczenia (wybór bloku), a następnie sekwencyjne poszukiwanie lokalizacji końcowej
- dostęp skojarzeniowy
  - rodzaj dostępu swobodnego, który umożliwia porównywanie i specyficzne badanie zgodności wybranych bitów wewnątrz słowa (zachodzi to dla wszystkich słów jednocześnie)
  - słowo jest wyprowadzane na podstawie części swojej zawartości, a nie na podstawie adresu (zastosowanie: pamięć podręczna procesora)
  - stały czas dostępu

Pamięć podręczna (cache)

działa jako pośrednik między ultraszybkim procesorem a wolną pamięcią główną



- przechowuje kopie fragmentów pamięci głównej
- procesor najpierw sprawdza, czy dane znajdują się w pamięci podręcznej
- jeśli danych brakuje (chybienie), do pamięci podręcznej wczytywany jest odpowiedni blok pamięci głównej

Lokalność przestrzenna

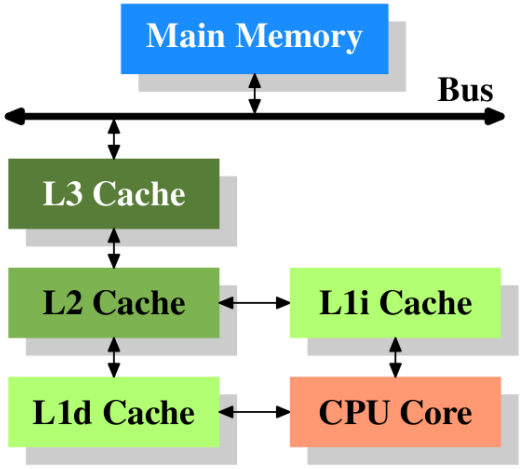
- tendencja do częstych odwołań do danych położonych blisko siebie w pamięci
- takie dane mają szansę trafić do tego samego bloku w pamięci podręcznej

Lokalność czasowa

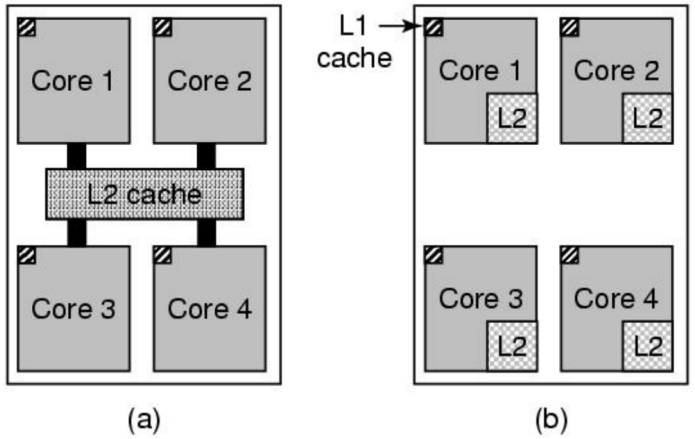
- tendencja do częstych odwołań do tych samych danych w krótkich odstępach czasu
- często wykorzystywane dane mają szansę pozostać w pamięci podręcznej między kolejnymi żądaniami

Procesor i pamięć

Architektura jednoprocesorowa



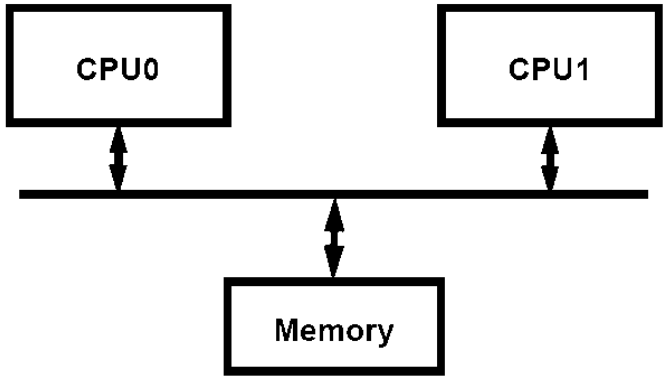
Architektura wieloprocesorowa



a) współdzielony L2 przez 4 procesory
b) niezależne L1 i L2 w układzie 4 procesorów

Wieloprocesorowość symetryczna (SMP)

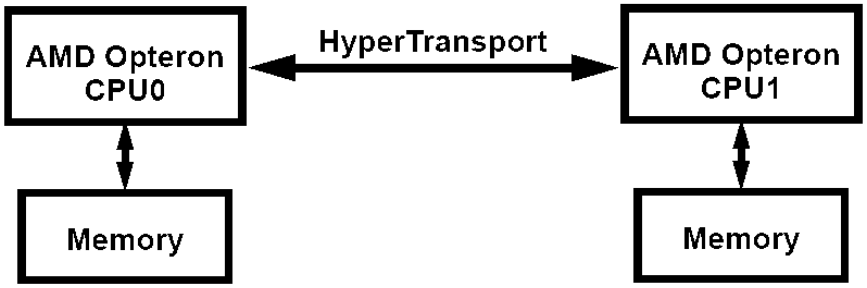
Symmetric Multiprocessing



- procesory współdzielą zasoby pamięci oraz urządzenia wejścia/wyjścia przy pomocy magistrali systemowej
- każdy z procesorów może zostać przypisany do wykonywania konkretnego zadania, tak aby w systemie następowało równoważenie obciążenia (*load balancing*)
- przepustowość szyny i pamięci ogranicza szybkość działania procesorów
- system operacyjny zarządza przydziałem zadań do procesorów oraz dostępem do pamięci i urządzeń wejścia/wyjścia

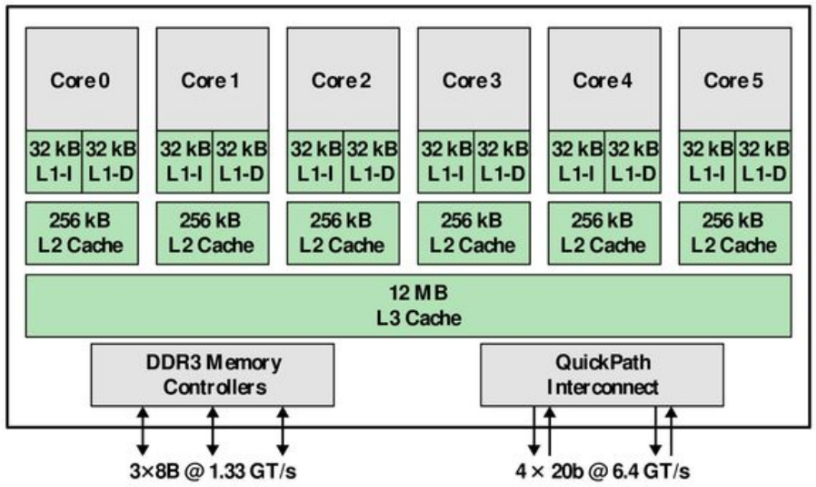
Niejednolity dostęp do pamięci (NUMA)

Non-Uniform Memory Access



- minimalizacja opóźnień dostępu do pamięci poprzez przydzielenie pamięci lokalnej dla każdego procesora
- każdy procesor posiada własny kontroler pamięci lokalnej
- procesory łączone między sobą za pomocą szyny o dużej przepustowości i niskich opóźnieniach (HyperTransport), która nie ma bezpośredniego połącznia z układem pamięci
- wydłużony czas dostępu do pamięci zdalnej (połączonej z innym procesorem)
- wymaga właściwej organizacji danych w pamięci, aby zapewnić efektywność

Architektury wieloprocesorowe



Rysunek 1: Intel Core-i7 990X

- wiele procesorów (rdzeni) na jednej kości
- każdy rdzeń ma jednostkę wykonawczą, rejestry i lokalną pamięć podręczną; może też obsługiwać wiele wątków
- rdzenie współdzielą pamięć L3
- pamięć połączona z procesorem za pomocą szybkiej szyny (DDR3), urządzenia I/O za pomocą osobnej szyny (PCIe)

Rodzaje pamięci półprzewodnikowych

RAM (*Random Access Memory*) pamięć o dostępie swobodnym – odczyt-zapis, wymazywanie/zapisywanie elektryczne na poziomie bajta

Static RAM (SRAM) - statyczna pamięć o dostępie swobodnym

- rejestry i pamięć podręczna
- ulotna, przechowuje dane tak długo, jak długo włączone jest zasilanie
- każdy bit jest przechowywany w układzie zbudowanym z 6 tranzystorów (mniejsza gęstość danych niż DRAM)

Dynamic RAM (DRAM) - pamięć dynamiczna

- pamięć główna komputera
- ulotna, wymaga okresowego odświeżania zawartości

Pamięci dynamiczne

Synchronous DRAM (SDRAM) - pamięć dynamiczna pracująca synchronicznie z magistralą systemową

	napięcie	pojemność	przepustowość	rok
single data rate				
SDR SDRAM	3.3 V	512 MB	533-1066 MB/s	1996
double data rate				
DDR SDRAM:	2.5 V	1 GB	1.6-3.2 GB/s	2000
DDR2 SDRAM	1.8 V	4 GB	3.2-6.4 GB/s	2003
DDR3 SDRAM	1.5 V	8 GB	6.4-19.2 GB/s	2007
DDR4 SDRAM	1.2 V	16 GB	12.8-25.6 GB/s	2012
DDR5 SDRAM	1.1 V	64 GB	25.6-64 GB/s	2020

$$\text{moc} = \text{pojemność} \times \text{napięcie}^2 \times \text{częstotliwość}$$

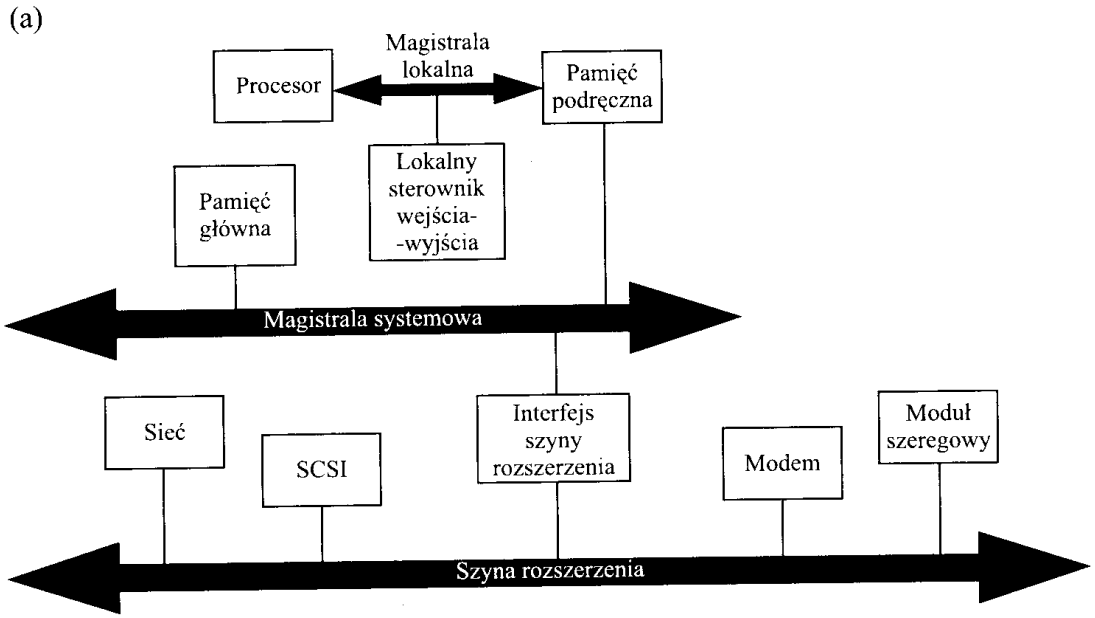
DDR Generations: Memory Density and Speed

Rodzaje pamięci półprzewodnikowych nieulotnych

- **ROM** (*Read-Only Memory*) pamięć stała – tylko odczyt, zapisywanie w trakcie produkcji, tania i szybka
- **PROM** (*Programmable ROM*) programowalna pamięć jednokrotnego zapisu
- **EPROM** (*Erasable and Programmable ROM*) wymazywalna i programowalna pamięć stała – głównie odczyt, wymazywanie światłem UV, zapisywanie elektryczne
- **pamięć błyskawiczna** (*flash memory*) – wymazywanie elektryczne na poziomie bloku (256 B-16 KB), zapisywanie elektryczne; szybki odczyt, wolniejszy zapis (SSD, pamięci USB, karty pamięci MC, MMC, SM)
- **NVRAM** (*Non-Volatile RAM*) – pamięć typu SRAM/DRAM z baterią podtrzymującą zawartość po odłączeniu zasilania (zastosowanie: podtrzymywanie ustawień BIOS)[1]
- **NVDIMM** (*Non-Volatile Dual In-line Memory Module*) – pamięć typu DRAM powiązana z układami pamięci błyskawicznej, co pozwala zachować zawartość pamięci ulotnej po awarii zasilania

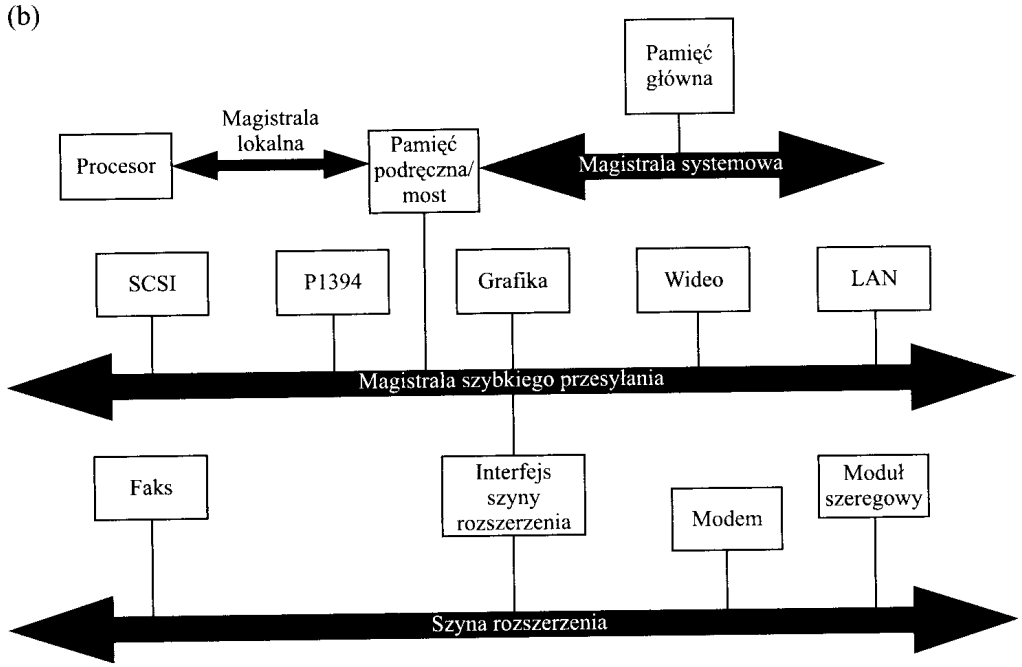
[1] Także EEPROM (*Electrically Erasable and Programmable ROM*) wymazywalna i programowalna pamięć stała (na poziomie bajtu) – głównie odczyt, wymazywanie/zapisywanie elektryczne; szybki odczyt, wolny zapis.

Magistrale (szyny) systemowe



- komunikacja między szyną systemową a szyną rozszerzeń może następować bez angażowania CPU

Magistrale (szyny) systemowe



- hierarchiczna magistrala o wysokiej wydajności
- urządzenia o większych wymaganiach są bliżej CPU

Magistrale urządzeń

Nazwa	Rok powstania	Aktualna wersja	Przepustowość	Typ / Szerokość linii	Częstotliwość	Zastosowania
ISA	1981	brak	8–16 MB/s	równoległa 8–16 bitów	8 MHz	karty rozszerzeń, modemy, karty dźwiękowe
EISA	1988	brak	33 MB/s	równoległa 32 bity	8.33 MHz	karty rozszerzeń, karty graficzne
PCI	1992	PCI 2.3	533 MB/s	równoległa 32–64 bity	33–66 MHz	karty rozszerzeń, karty graficzne, karty sieciowe
PCIe	2004	PCIe 6.0	256 GB/s (x16)	szeregowa 1, 2, 4, 8, 16 linii	64 GHz	karty graficzne, dyski SSD, karty rozszerzeń
USB	1996	USB4 2.0	10 GB/s	szeregowa 1 para różnicowa	20 GHz	urządzenia peryferyjne, pamięci masowe, urządzenia mobilne
IDE/ATA	1986	ATA/133	133 MB/s	równoległa 16 bitów	133 MHz	dyski twarde, napędy optyczne
AGP	1997	AGP 3.0	2.1 GB/s	równoległa 32 bity	66 MHz	karty graficzne
SATA	2003	SATA III	600 MB/s	szeregowa 1 para różnicowa	6 GHz	dyski twarde, dyski SSD, napędy optyczne
SCSI	1986	SCSI Ultra-640	640 MB/s	równoległa 8-16 bitów	160 MHz	dyski twarde, skanery, serwery
SAS	2004	SAS 4	2.3 GB/s	szeregowa 1 para różnicowa	22.5 GHz	dyski twarde, serwery, pamięci masowe

ISA (*Industry Standard Architecture*, IBM 1980)

- wymaga ręcznej konfiguracji IRQ, adresów I/O oraz kanału DMA

EISA (*Extended ISA*, Gang of Nine 1989)

- rozszerzenie ISA umożliwiające 32-bitowy transfer danych
- adresowanie do 4 GB RAM
- *Plug and Play* (PnP) - automatyczne wykrycie i konfiguracja urządzenia przez system operacyjny podczas startu, np. przydzielenie zasobów i załadowanie sterownika.

Ograniczenia:

- brak wsparcia w nowoczesnych systemach operacyjnych (np. Windows 10, Linux nie obsługuje ISA natywnie)
- przez problemy z konfliktami IRQ nazywany *plug and pray*
- przestarzała, zastąpiona przez PCI.

PCI (*Peripheral Component Interconnect*, Intel 1992)

- obsługuje standard „podłącz i używaj" (PnP, *Plug and Play*) i automatyczną konfigurację urządzeń
- system odpytuje PCI przy starcie o dostępne urządzenia
- każde urządzenie na osobnej szynie z osobnym adresem
- szerokie wsparcie w systemach operacyjnych (Windows, Linux, macOS)
- możliwość użycia przerwań współdzielonych (*IRQ sharing*), co poprawia skalowalność

Ograniczenia:

- szyna współdzielona, ograniczona przepustowość
- ograniczona liczba urządzeń (maksymalnie 5 slotów na mostku PCI, 256 urządzeń w systemie)
- konflikty przerwań (IRQ) w starszych systemach (np. Windows 98)
- popularna w latach 90., zastąpiona przez PCIe.

Magistrala PCI Express

- wysoka przepustowość (do 256 GB/s w wersji 6.0), idealna dla kart graficznych, dysków NVMe i sieciowych kart wysokiej wydajności.
- niskie opóźnienia i skalowalność dzięki architekturze *point-to-point*
- wsparcie dla *hot-plugging*, podłączania urządzeń „na gorąco", gdy komputer jest włączony i system działa
- pełna kompatybilność z nowoczesnymi systemami operacyjnymi
- obsługa wielu linii (x1, x4, x8, x16), zależnie od potrzeb urządzenia
- zastępuje PCI i AGP (*Advanced Graphics Port*, PCI dla kart graficznych)
- brak linii przerwań IRQ, używa sygnałów MSI (Message Signaled Interrupts)

Ograniczenia:

- wyższy koszt implementacji w porównaniu do PCI
- wymaga nowoczesnych sterowników, co może powodować problemy z kompatybilnością w starszych systemach

Uniwersalna szyna szeregowa (*Universal Serial Bus*, USB, 1995)

- standard szyny zewnętrznej do podłączania do komputera do 127 urządzeń peryferyjnych (jeden IRQ)
- *Plug and Play* — automatyczna detekcja i konfiguracja urządzeń
- *hot plugging* - podłączenie nie wymaga wyłączenia zasilania
- łatwość rozmnażania portów i wydłużania połączenia poprzez zastosowanie maksymalnie pięciu koncentratorów (*USB hubs*)
- uniwersalne złącze obsługujące szeroką gamę urządzeń (klawiatury, myszy, drukarki, skanery, kamery wideo, dyski)
- szeroka kompatybilność z systemami operacyjnymi (Windows, Linux, macOS, Android)

Ograniczenia:

- wymaga obecności dokładnie jednego kontrolera po stronie hosta (nie można bezpośrednio połączyć dwóch komputerów)

IDE (*Integrated Drive Electronics*, 1986) właściwie **ATA** (*Advanced Technology Attachement*), od 2003 – **PATA** (*Parallel ATA*)

- szyna do łączenia dysków HDD i napędów CD-ROM (40 pinów)
- zastąpiony przez SATA

Ograniczenia:

- niska przepustowość (do 133 MB/s w ATA/133), co ogranicza wydajność nowoczesnych dysków.
- bak wsparcia dla *hot-plugging*
- ograniczona liczba urządzeń, każdy sterownik IDE potrzebuje IRQ i może obsłużyć 2 urządzenia wewnętrzne (*master* i *slave*)
- brak wsparcia w nowoczesnych systemach operacyjnych (wymagany tryb kompatybilności lub emulacja)

Szeregowy ATA (*Serial ATA*, SATA)

- kolejkowanie zadań w celu minimalizacji liczby skoków głowicy
- powielacz portów pozwala podłączyć kilka dysków do jednego portu kontrolera SATA
- selektor portu umożliwia podłączyć jedno urządzenie z dwoma portami hosta (nadmiarowa ścieżka na wypadek awarii)
- połączenia punkt-punkt
- możliwość podłączania wewnętrznych i zewnętrznych urządzeń
- CRC (*Cyclic Redundancy Check*) - suma kontrolna do wykrywania błędów transmisji
- łatwość przyłączenia (wsparcie dla *hot swapping*)
- szerokie wsparcie we współczesnych systemach operacyjnych

SCSI (*Small Computer Systems Interface*)

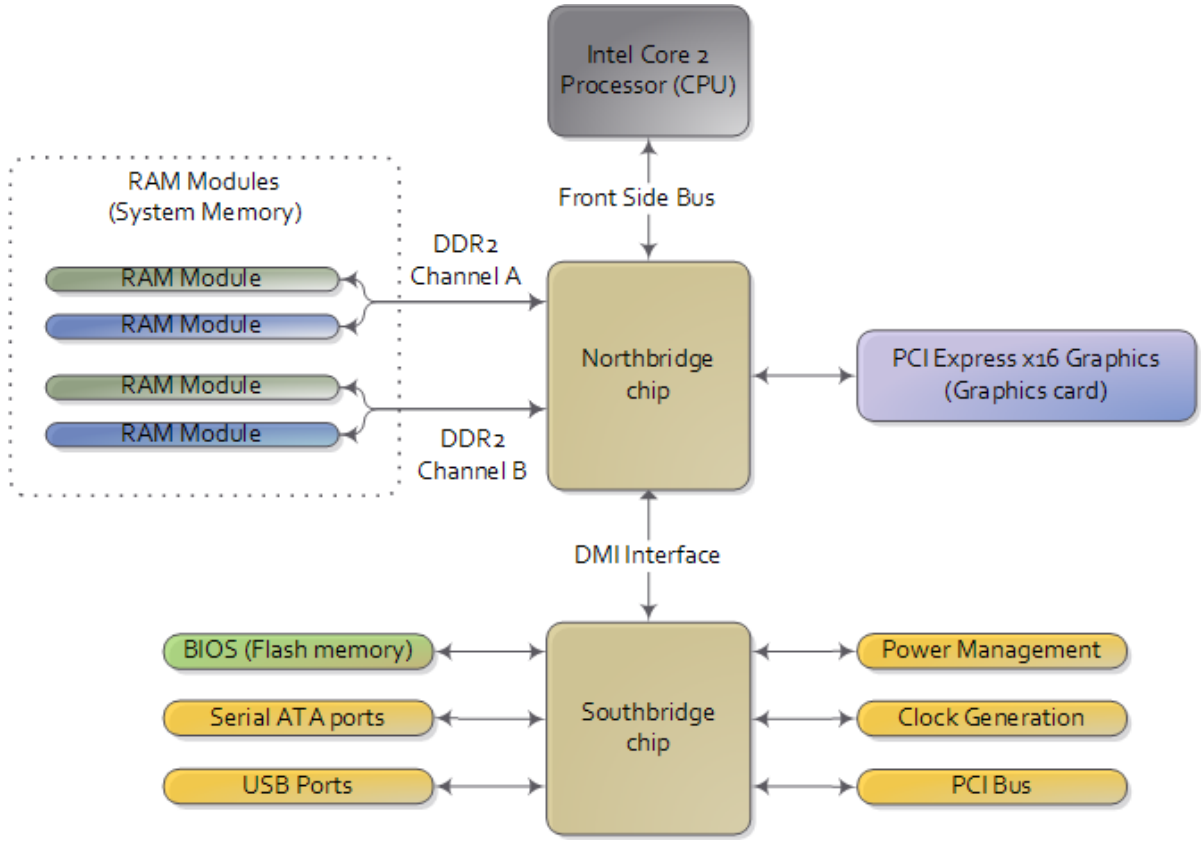
- obsługa urzadzeń pamięci masowej (dyski, napędy CD-ROM, napędy taśmowe (*streamer*), skanery)
- wysoka wydajność i niezawodność, wykorzystanie w stacjach roboczych i serwerach
- jeden IRQ, obsługa do 16 urządzeń, łącze wielopunktowe (*multidrop*)
- możliwość podłączania urządzeń o różnej prędkości na tym samym łańcuchu, maksymalna długość do 25 m

SAS (*Serial Attached SCSI*)

- szeregowa szyna, zastąpiła SCSI
- jeden IRQ, połączenie punkt-punkt (*initiator-target*), tryb pełnego dupleksu
- zastosowanie ekspanderów (*expander*) daje możliwość podłączenia do 65535 urządzeń

https://en.wikipedia.org/wiki/Parallel_SCSI

Architektura płyty głównej



Chipset - zestaw układów i kontrolerów organizujących komunikację między procesorem, pamięcią i urządzeniami

G. Duarte http://duartes.org/gustavo/blog/post/motherboard-chipsets-memory-map

Chipset

- **Front Side Bus** - magistrala wyjściowa procesora
  Komunikacja procesora z resztą świata:
  - adresy pamięci RAM
  - adresy I/O mapowane na adresy pamięci (Memory Mapped I/O)
  - przerwania i sygnały
- **mostek północny** - łączy CPU z urządzeniami o dużej szybkości: RAM, GPU, PCIe, Gigabit Ethernet
- **mostek południowy** - współpraca z pozostałymi urządzeniami
  ICH (I/O Controller Hub) Intel, FCH (Fusion CH) AMD
- elementy chipsetu: sterownik CPU, sterownik DRAM, sterownik cache, sterownik przerwań, sterownik DMA, sterownik magistrali,
- współcześnie wiele funkcji mostka północnego, takich jak kontroler pamięci, znajduje się bezpośrednio w procesorze

Podsumowanie i pytania sprawdzające

- Co to jest przetwarzanie potokowe w architekturze procesora?
- Jakie są przyczyny głodzenia procesora?
- Na czym polega lokalność przestrzenna i lokalność czasowa w pamięci komputerowej?
- Czym różni się architektura SMP od NUMA?